

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-319651

(43)Date of publication of application : 12.12.1997

(51)Int.Cl. G06F 12/06
G06F 12/00
G06F 15/78

(21)Application number : 09-062566

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.03.1997

(72)Inventor : OZAKI SHINJI

(30)Priority

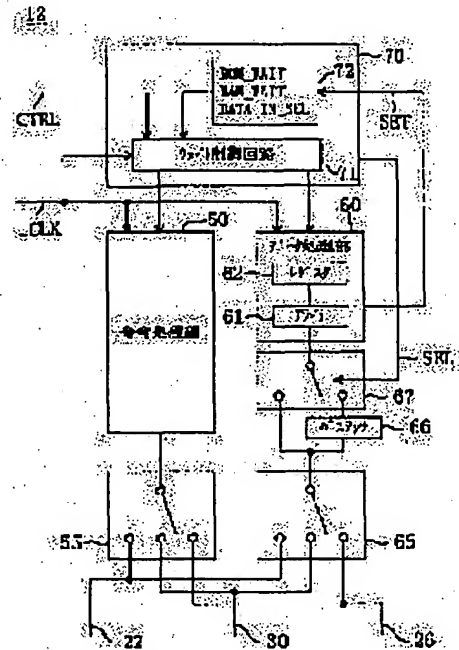
Priority number : 08 65966 Priority date : 22.03.1996 Priority country : JP

(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcomputer with which the access conditions of a built-in memory can be flexibly changed.

SOLUTION: A read only memory (ROM) bus 22, random access memory (RAM) bus 26 and IO bus 30 for inputting/outputting independent data from these buses 22 and 26 are connected to a central processing unit (CPU) 12 having an instruction processing part 50 and a data processing part 60. A reloadable register 72 installed inside a memory access control circuit 70 is stored with the set value of wait cycle number related to ROM access, the set value of wait cycle number related to RAM access, and set value for switching the input path of the data processing part 60. These set values are changed corresponding to the cycle time of an internal clock signal (CPU lock signal) ICLK. Corresponding to these set values, the insertion of wait cycles at the respective instruction processing part 50 and data processing part 60 is controlled and it is selected whether or not the input of the data processing part 60 is to be latched.



LEGAL STATUS

[Date of request for examination] 20.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3313042

[Date of registration] 31.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 3 1 9 6 5 1

(43)公開日 平成 9 年 (1 9 9 7) 1 2 月 1 2 日

(51)Int.Cl.	識別記号	庁内整理番号	F I	技術表示箇所
G06F 12/06	522		G06F 12/06	522 A
12/00	564		12/00	564 A
15/78	510		15/78	510 B

審査請求 未請求 請求項の数 1 0 O L (全 9 頁)

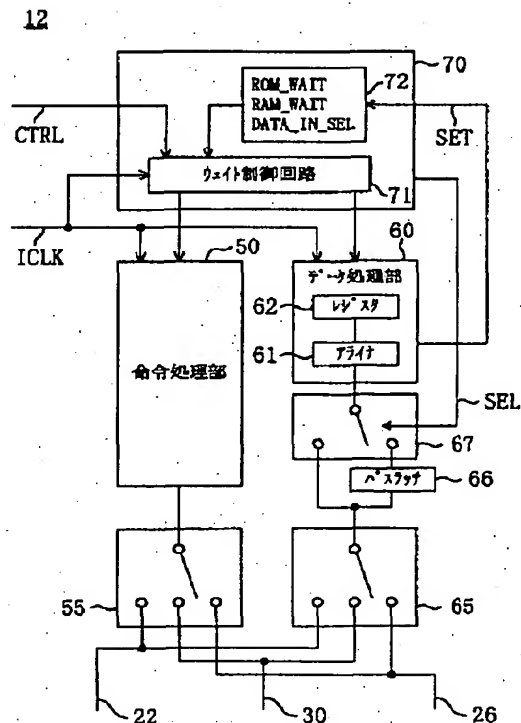
(21)出願番号 特願平 9 - 6 2 5 6 6
(22)出願日 平成 9 年 (1 9 9 7) 3 月 1 7 日
(31)優先権主張番号 特願平 8 - 6 5 9 6 6
(32)優先日 平 8 (1 9 9 6) 3 月 2 2 日
(33)優先権主張国 日本 (J P)

(71)出願人 0 0 0 0 0 5 8 2 1
松下電器産業株式会社
大阪府門真市大字門真 1 0 0 6 番地
(72)発明者 尾崎 伸治
大阪府門真市大字門真 1 0 0 6 番地 松下
電器産業株式会社内
(74)代理人 弁理士 前田 弘 (外 2 名)

(54)【発明の名称】 シングルチップ・マイクロコンピュータ

(57)【要約】

【課題】 内蔵メモリのアクセス態様を柔軟に変更できるシングルチップ・マイクロコンピュータを提供する。
【解決手段】 命令処理部 5 0 とデータ処理部 6 0 とを有する CPU 1 2 に、ROMバス 2 2 及び RAMバス 2 6 と、これらのバスから独立したデータ入出力のための I Oバス 3 0 とを接続する。メモリアクセス制御回路 7 0 の中に設けられた書き換え可能なレジスタ 7 2 に、ROMアクセスに係るウェイトサイクル数の設定値と、RAMアクセスに係るウェイトサイクル数の設定値と、データ処理部 6 0 の入力経路の切換えのための設定値とを格納する。これらの設定値は、内部クロック信号 (CPUクロック信号) ICLK のサイクル時間に応じて変更される。これらの設定値に応じて、命令処理部 5 0 及びデータ処理部 6 0 の各々におけるウェイトサイクルの押入が制御され、かつデータ処理部 6 0 の入力をラッチするかしないかが選択される。



【特許請求の範囲】

【請求項 1】 命令及びデータを記憶するためのメモリ手段と、

前記メモリ手段に接続されたバス手段と、

内部クロック信号を供給するためのクロック手段と、

特定の命令又はデータを前記内部クロック信号に同期して処理するように、前記バス手段を介した前記メモリ手段へのアクセス過程を前記内部クロック信号に同期して開始するための処理手段と、

前記メモリ手段のアクセス時間と前記内部クロック信号のサイクル時間との関係に応じて決定されたウェイトサイクル数の設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された設定値に応じた数のウェイトサイクルが前記処理手段による前記メモリ手段へのアクセス過程に挿入されるように前記処理手段を制御するための制御手段とを備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 2】 請求項 1 記載のシングルチップ・マイクロコンピュータにおいて、

前記メモリ手段は、命令を記憶するための第 1 のメモリと、データを記憶するための第 2 のメモリとを有し、

前記バス手段は、前記第 1 のメモリと前記処理手段とを接続するための第 1 のバスと、前記第 2 のメモリと前記処理手段とを接続するための第 2 のバスとを有することを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 3】 請求項 2 記載のシングルチップ・マイクロコンピュータにおいて、

データ入出力のための外部バス端子と、

前記第 1 及び第 2 のバスから独立して前記外部バス端子と前記処理手段とを接続するための第 3 のバスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 4】 請求項 3 記載のシングルチップ・マイクロコンピュータにおいて、

データの DMA 転送を実現するように前記第 3 のバスを前記第 1 及び第 2 のバスに接続するための DMA 制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 5】 請求項 3 記載のシングルチップ・マイクロコンピュータにおいて、

前記第 1 及び第 2 のメモリのテストを実現するように前記第 3 のバスを前記第 1 及び第 2 のバスに接続するためのテスト制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 6】 データを記憶するためのメモリ手段と、前記メモリ手段に接続されたバス手段と、

内部クロック信号を供給するためのクロック手段と、

特定のデータを前記内部クロック信号に同期して処理するように、前記バス手段を介した前記メモリ手段への読み出しアクセス過程を前記内部クロック信号に同期して

開始するためのデータ処理手段と、

前記バス手段の上に読み出されたデータを前記内部クロック信号に同期してラッチするためのバスラッチ手段と、

前記バス手段の上に読み出されたデータと、前記バスラッチ手段にラッチされたデータとのいずれかを選択的に

供給するためのスイッチ手段と、

前記スイッチ手段から供給されたデータに前処理を施すための前処理手段と、

10 前記前処理が施されたデータを前記内部クロック信号に同期して記憶するためのレジスタ手段と、

前記メモリ手段のアクセス時間と前記前処理に要する時間との和と、前記内部クロック信号のサイクル時間との

関係に応じて決定された切換設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された

切換設定値に応じて前記スイッチ手段を制御するための制御手段とを備えたことを特徴とするシングルチップ・

マイクロコンピュータ。

【請求項 7】 請求項 6 記載のシングルチップ・マイクロコンピュータにおいて、

20 命令を記憶するための ROM と、

前記 ROM に接続された ROM バスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 8】 請求項 7 記載のシングルチップ・マイクロコンピュータにおいて、

データ入出力のための外部バス端子と、

前記バス手段及び前記 ROM バスから独立して前記外部バス端子に接続された I/O バスとを更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 9】 請求項 8 記載のシングルチップ・マイクロコンピュータにおいて、

データの DMA 転送を実現するように前記 I/O バスを前記バス手段及び前記 ROM バスに接続するための DMA

制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【請求項 10】 請求項 8 記載のシングルチップ・マイクロコンピュータにおいて、

前記メモリ手段及び前記 ROM のテストを実現するように前記 I/O バスを前記バス手段及び前記 ROM バスに接

40 続するためのテスト制御手段を更に備えたことを特徴とするシングルチップ・マイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シングルチップ・マイクロコンピュータに関するものである。

【0002】

【従来の技術】CPU（中央処理装置；central processing unit）と、ROM（read only memory）と、RAM（random access memory）とを内蔵したシングルチップ・マイクロコンピュータが知られている。

【 0 0 0 3 】

【発明が解決しようとする課題】 シングルチップ・マイクロコンピュータがいわゆるマイクロコントローラとして使用される場合には、制御対象に応じた周波数を有するCPUクロック信号が選択される。ところが、内蔵されたROM及びRAMの各々のアクセス時間を変更することはできない。したがって、CPUクロック信号のサイクル時間と、ROM及びRAMの各々のアクセス時間との間に不整合が生じることがあった。

【 0 0 0 4 】 本発明の目的は、内蔵メモリのアクセス態様をCPUクロック信号のサイクル時間に応じて柔軟に変更できるシングルチップ・マイクロコンピュータを提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】 上記目的を達成するために、本発明に係る第1のシングルチップ・マイクロコンピュータは、内蔵メモリのアクセスに係るCPUのウェイトサイクル数をCPUクロック信号のサイクル時間に応じて変更できるようにしたものである。

【 0 0 0 6 】 具体的には、本発明に係る第1のシングルチップ・マイクロコンピュータは、命令及びデータを記憶するためのメモリ手段（ROM及びRAM）と、該メモリ手段に接続されたバス手段と、内部クロック信号（CPUクロック信号）を供給するためのクロック手段と、特定の命令又はデータを内部クロック信号に同期して処理するようにバス手段を介したメモリ手段へのアクセス過程を内部クロック信号に同期して開始するための処理手段とに加えて、次のような制御手段を備えた構成を採用したものである。すなわち、該制御手段は、メモリ手段のアクセス時間と内部クロック信号のサイクル時間との関係に応じて決定されたウェイトサイクル数の設定値を記憶するための書き換え可能なレジスタを有し、該レジスタに記憶された設定値に応じた数のウェイトサイクルが処理手段によるメモリ手段へのアクセス過程に挿入されるように処理手段を制御するものである。

【 0 0 0 7 】 上記目的を達成するために、本発明に係る第2のシングルチップ・マイクロコンピュータは、内蔵メモリから読み出したデータの転送経路をCPUクロック信号のサイクル時間に応じて変更できるようにしたものである。

【 0 0 0 8 】 具体的には、本発明に係る第2のシングルチップ・マイクロコンピュータは、データを記憶するためのメモリ手段（例えばRAM）と、該メモリ手段に接続されたバス手段と、内部クロック信号（CPUクロック信号）を供給するためのクロック手段と、特定のデータを内部クロック信号に同期して処理するようにバス手段を介したメモリ手段への読み出しアクセス過程を内部クロック信号に同期して開始するためのデータ処理手段と、バス手段の上に読み出されたデータを内部クロック信号に同期してラッチするためのバスラッチ手段と、バ

ス手段の上に読み出されたデータとバスラッチ手段にラッチされたデータとのいずれかを選択的に供給するためのスイッチ手段と、該スイッチ手段から供給されたデータに前処理を施すための前処理手段と、前処理が施されたデータを内部クロック信号に同期して記憶するためのレジスタ手段と、切換設定値に応じてスイッチ手段を制御するための制御手段とを備えた構成を採用したものである。制御手段は書き換え可能なレジスタを有し、メモリ手段のアクセス時間と前処理に要する時間との和と、内部クロック信号のサイクル時間との関係に応じて決定された切換設定値が該レジスタに記憶され、該レジスタに記憶された切換設定値に応じてスイッチ手段が制御される。

【 0 0 0 9 】

【発明の実施の形態】 以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 1 0 】 図1は、本発明に係るシングルチップ・マイクロコンピュータの構成例を示している。図1のシングルチップ・マイクロコンピュータ10は、いわゆるハーバード（Harvard）アーキテクチャを有するRISC（reduced instruction set computer）タイプのCPU 12と、該CPU 12へ内部クロック信号ICLKを供給するための内部クロック生成回路14と、外部クロック端子16と、クロック制御端子18とを備えている。内部クロック生成回路14は、PLL（phases locked loop）回路を内蔵しており、外部クロック端子16を介して与えられた外部クロック信号ECKから、内部クロック信号ICLKを生成する。クロック制御端子18に与えられたクロック制御信号CTRLは、外部クロック信号ECKと内部クロック信号ICLKとの周波数の比率を決定する。マイクロコンピュータ10は、主に命令を記憶するためのROM 20と、該ROM 20とCPU 12とを接続するためのROMバス22と、主にデータを記憶するためのRAM 24と、該RAM 24とCPU 12とを接続するためのRAMバス26とを更に備えている。マイクロコンピュータ10は、外部バスインターフェイス28と、ROMバス22及びRAMバス26の各々から独立したIOバス30と、データ入出力のための外部バス端子32とを更に備えている。外部バスインターフェイス28は、IOバス30と外部バス端子32との間のインターフェイスを司る。IOバス30は、外部バスインターフェイス28とCPU 12とを接続するものである。このIOバス30には、タイマ34が接続されている。マイクロコンピュータ10は、データのDMA（direct memory access）転送と内蔵メモリ20、24のテストとを制御するためのDMA／テスト制御回路36と、ROMバススイッチ38と、RAMバススイッチ40とを更に備えている。ROMバススイッチ38はROMバス22とIOバス30との間に介在したスイッチであり、RAMバススイッチ40はRAMバ

ス 2 6 と I O バス 3 0 との間に介在したスイッチである。

【 0 0 1 1 】 図 2 は、CPU 1 2 の内部構成を示している。CPU 1 2 は、パイプライン構造を有する命令処理部 5 0 と、ROM バス 2 2 と RAM バス 2 6 と I O バス 3 0 とのいずれかを選択的に命令処理部 5 0 に接続するための命令バススイッチ 5 5 と、パイプライン構造を有するデータ処理部 6 0 と、ROM バス 2 2 と RAM バス 2 6 と I O バス 3 0 とのいずれかを選択的にデータ処理部 6 0 に接続するためのデータバススイッチ 6 5 とを備えている。データ処理部 6 0 は、データバススイッチ 6 5 から供給されたデータに前処理（右シフト又は左シフトによるビット幅調整、符号拡張など）を施すためのアライナ 6 1 と、該前処理が施されたデータを内部クロック信号 I C L K に同期して記憶するためのレジスタ 6 2 とを備えている。データバススイッチ 6 5 とアライナ 6 1 との間には、バスラッチ 6 6 と、データ入力スイッチ 6 7 とが介在している。バスラッチ 6 6 は、ROM バス 2 2、RAM バス 2 6 及び I O バス 3 0 のうちデータバススイッチ 6 5 によって選択されたバス上のデータを内部クロック信号 I C L K に同期してラッチするものである。データ入力スイッチ 6 7 は、ROM バス 2 2、RAM バス 2 6 及び I O バス 3 0 のうちデータバススイッチ 6 5 によって選択されたバス上のデータと、バスラッチ 6 6 にラッチされたデータとのいずれかを選択的にアライナ 6 1 へ供給するものである。

【 0 0 1 2 】 図 2 の CPU 1 2 は、命令処理部 5 0、データ処理部 6 0 及びデータ入力スイッチ 6 7 の各々を内部クロック信号 I C L K のサイクル時間に応じて制御するためのメモリアクセス制御回路 7 0 を更に備えている。メモリアクセス制御回路 7 0 は、命令処理部 5 0 及びデータ処理部 6 0 の各々のメモリアクセス過程へのウェイトサイクルの挿入を制御するためのウェイト制御回路 7 1 と、データ処理部 6 0 から供給されるレジスタ設定信号 S E T による書き換えが可能な設定値レジスタ 7 2 とを備えている。設定値レジスタ 7 2 は、ROM 2 0 のアクセスに係るウェイトサイクル数の設定値 ROM_WA I T と、RAM 2 4 のアクセスに係るウェイトサイクル数の設定値 RAM_WA I T と、データ入力スイッチ 6 7 へ供給すべき選択信号 S E L を決定するための切換設定値 DATA_I N_S E L とを記憶するものである。例えば、ROM_WA I T = 1 ならば、ROM アクセス過程に単一のウェイトサイクルが挿入される。ROM_WA I T = 0 ならば、ROM アクセス過程にウェイトサイクルが挿入されることはない。RAM_WA I T = 0 ならば、RAM アクセス過程にウェイトサイクルが挿入されることはない。また、DATA_I N_S E L = 1 ならばデータバススイッチ 6 5 の出力がバスラッチ 6 6 を介してアライナ 6 1 へ供給され、DATA_I N_S E L = 0 ならばデータバススイッチ 6 5 の出力が直

接にあライナ 6 1 へ供給される。

【 0 0 1 3 】 上記シングルチップ・マイクロコンピュータ 1 0 によれば、命令バススイッチ 5 5 が ROM バス 2 2 を、データバススイッチ 6 5 が RAM バス 2 6 をそれぞれ選択した際には、命令の処理とデータの処理とが並行して進められる。この間、I O バス 3 0 は、命令処理部 5 0 及びデータ処理部 6 0 のいずれからも切り離されている。したがって、ROM バス 2 2 及び RAM バス 2 6 の各々の負荷が軽減される効果がある。データの DMA 転送を実行する場合には、DMA/テスト制御回路 3 6 により ROM バススイッチ 3 8 又は RAM バススイッチ 4 0 が閉じられる。したがって、外部バス端子 3 2 は、CPU 1 2 を介さずに ROM 2 0 又は RAM 2 4 に接続される。ROM 2 0 のテスト実行時には ROM バススイッチ 3 8 が、RAM 2 4 のテスト実行時には RAM バススイッチ 4 0 がそれぞれ閉じられる。

【 0 0 1 4 】 以下、命令処理部 5 0 が ROM 2 0 から特定の命令を読み出し、かつデータ処理部 6 0 が RAM 2 4 から特定のデータを読み出す場合について説明する。ここでは、命令処理部 5 0 及びデータ処理部 6 0 に分配される内部クロック信号 I C L K の周波数は 1 0 0 M H z 又は 5 0 M H z であるものとする。つまり、内部クロック信号のサイクル時間（CPU サイクル時間）T_{cyc} は、1 0 n s 又は 2 0 n s である。また、命令処理部 5 0 が ROM 2 0 からの命令の読み出しを起動してから該命令処理部 5 0 が命令を受け取るまでに要する時間（ROM アクセス時間）T_{rom} は 1 7 n s であり、データ処理部 6 0 が RAM 2 4 からのデータの読み出しを起動してから該データ処理部 6 0 がデータを受け取るまでに要する時間（RAM アクセス時間）T_{ram} は 8 n s であり、アライナ 6 1 による前処理時間（アライナ処理時間）T_{alg} は 4 n s であるものとする。言うまでもなく、CPU サイクル時間 T_{cyc} が変化しても、ROM アクセス時間 T_{rom}、RAM アクセス時間 T_{ram} 及びアライナ処理時間 T_{alg} は変化しない。

【 0 0 1 5 】 上記 3 つの設定値 ROM_WA I T、RAM_WA I T 及び DATA_I N_S E L は、シングルチップ・マイクロコンピュータ 1 0 のユーザにより決定され、かつ初期化プログラムを実行することによりそれぞれ設定値レジスタ 7 2 に書き込まれる。設定値 ROM_WA I T は、ROM アクセス時間 T_{rom} と CPU サイクル時間 T_{cyc} との関係に応じて決定される。具体的には、T_{cyc} = 1 0 n s ならば 2 T_{cyc} > T_{rom} > T_{cyc} であるので、ROM_WA I T = 1 の設定がなされる。T_{cyc} = 2 0 n s ならば T_{rom} < T_{cyc} であるので、ROM_WA I T = 0 の設定がなされる。設定値 RAM_WA I T は、RAM アクセス時間 T_{ram} と CPU サイクル時間 T_{cyc} との関係に応じて決定される。具体的には、T_{cyc} = 1 0 n s 及び 2 0 n s のいずれにおいても T_{ram} < T_{cyc} であるので、RAM_WA I T = 0 の設

定がなされる。設定値 DATA_IN_SEL は、RAM アクセス時間 T_{ram} とアライナ処理時間 T_{alg} との和と、CPU サイクル時間 T_{cyc} との関係に応じて決定される。具体的には、 $T_{cyc} = 10 \text{ ns}$ ならば $T_{ram} + T_{alg} > T_{cyc}$ であるので、バスラッチ 66 を通るデータ転送経路がデータ入力スイッチ 67 によって選択されるように、DATA_IN_SEL = 1 の設定がなされる。 $T_{cyc} = 20 \text{ ns}$ ならば $T_{ram} + T_{alg} < T_{cyc}$ であるので、バスラッチ 66 を経由しないデータ転送経路がデータ入力スイッチ 67 によって選択されるように、DATA_IN_SEL = 0 の設定がなされる。なお、 $2T_{cyc} > T_{ram} > T_{cyc}$ が成り立つような RAM アクセス時間 T_{ram} と CPU サイクル時間 T_{cyc} との組合せが採用される場合には、RAM_WAIT = 1 の設定がなされる。この場合には、 $T_{ram} + T_{alg} > 2T_{cyc}$ ならば DATA_IN_SEL = 1 の設定が、 $T_{ram} + T_{alg} < 2T_{cyc}$ ならば DATA_IN_SEL = 0 の設定がそれぞれなされる。

【0016】図 3 は、内部クロック信号 ICLK が 10 MHz の周波数を有する場合 ($T_{cyc} = 10 \text{ ns}$ の場合) の ROM 20 の読み出しアクセス過程を示している。サイクル 1 では、ROM 20 から ROM バス 22 への特定の命令の読み出しを、内部クロック信号 ICLK の立ち上がりエッジに同期して命令処理部 50 が起動する。サイクル 2 では、レジスタ 72 に記憶された設定値 ROM_WAIT (= 1) に応じて単一のウェイトサイクルが ROM アクセス過程に挿入されるように、ウェイト制御回路 71 が命令処理部 50 を制御する。サイクル 3 では、ROM バス 22 の上に読み出された命令を、内部クロック信号 ICLK の立ち上がりエッジに同期して命令処理部 50 が実行する。また、命令処理部 50 は、サイクル 3 において、ROM 20 から ROM バス 22 への次の命令の読み出しを内部クロック信号 ICLK の立ち上がりエッジに同期して起動する。

【0017】図 4 は、内部クロック信号 ICLK が 50 MHz の周波数を有する場合 ($T_{cyc} = 20 \text{ ns}$ の場合) の ROM 20 の読み出しアクセス過程を示している。ROM_WAIT = 0 の設定がなされるので、ROM 20 のアクセス過程に無用のウェイトサイクルが挿入されることはない。サイクル 1 の間に ROM バス 22 の上に読み出された命令は、サイクル 2 において命令処理部 50 により直ちに実行される。また、サイクル 2 では ROM 20 から次の命令が読み出される。

【0018】図 5 は、内部クロック信号 ICLK が 50 MHz の周波数を有する場合 ($T_{cyc} = 20 \text{ ns}$ の場合) の RAM 24 の読み出しアクセス過程を示している。このケースでは $T_{ram} + T_{alg} < T_{cyc}$ であるので、RAM 24 のアクセス過程に無用のウェイトサイクルが挿入されることがないように RAM_WAIT = 0 の設定がなされ、かつバスラッチ 66 を経由しないデ

ータ転送経路が選択されるように DATA_IN_SEL = 0 の設定がなされる。したがって、サイクル 1 の開始時点から RAM アクセス時間 T_{ram} (= 8 ns) の後に RAM 24 から RAM バス 26 の上にデータが読み出され、該読み出されたデータに直ちにアライナ 61 により前処理が施される。この前処理はサイクル 1 の終了時点までに完了し、サイクル 2 における内部クロック信号 ICLK の立ち上がりエッジに同期して前処理済みのデータがレジスタ 62 に記憶される。そして、レジスタ 62 に記憶されたデータに更に処理が施される。RAM バス 26 は、RAM 24 から読み出されたデータをサイクル 1 の終了時点まで保持する。サイクル 2 では、RAM バス 26 を他のデータアクセスに使用することができる。

【0019】図 6 は、内部クロック信号 ICLK が 100 MHz の周波数を有する場合 ($T_{cyc} = 10 \text{ ns}$ の場合) の RAM 24 の読み出しアクセス過程を示している。このケースでは $T_{ram} < T_{cyc}$ かつ $T_{ram} + T_{alg} > T_{cyc}$ であるので、RAM 24 のアクセス過程に無用のウェイトサイクルが挿入されることがないように RAM_WAIT = 0 の設定がなされ、かつバスラッチ 66 を通るデータ転送経路が選択されるように DATA_IN_SEL = 1 の設定がなされる。したがって、サイクル 1 の開始時点から RAM アクセス時間 T_{ram} (= 8 ns) の後に RAM 24 から RAM バス 26 の上にデータが読み出され、該読み出されたデータがサイクル 2 における内部クロック信号 ICLK の立ち上がりエッジに同期してバスラッチ 66 にラッチされる。サイクル 2 において、アライナ 61 はラッチ済みのデータに前処理を施す。この前処理はサイクル 2 の終了時点までに完了し、サイクル 3 における内部クロック信号 ICLK の立ち上がりエッジに同期して前処理済みのデータがレジスタ 62 に記憶される。そして、レジスタ 62 に記憶されたデータに更に処理が施される。RAM バス 26 は、RAM 24 から読み出されたデータをサイクル 1 の終了時点まで保持する。該データはバスラッチ 66 に保存されるので、サイクル 2 では RAM バス 26 を他のデータアクセスに使用することができる。なお、図 6 のケースにおいてバスラッチ 66 を経由しないデータ転送経路が選択された状態を想定すると、この状態では RAM バス 26 の使用効率が悪くなる。RAM バス 26 は、RAM 24 から読み出されたデータがアライナ 61 へ供給され続けるように、該データをサイクル 2 の終了時点まで保持しなければならないからである。

【0020】なお、上記 3 つの設定値 ROM_WAIT、RAM_WAIT 及び DATA_IN_SEL に代えて、シングルチップ・マイクロコンピュータ 10 のユーザにより決定された外部クロック信号 ECLK の周波数をレジスタ 72 に設定するようにしてもよい。内部クロック信号 ICLK のサイクル時間 (CPU サイクル時間) T_{cyc} は、レジスタ 72 に設定された外部クロック

信号 ECLK の周波数と、クロック制御信号 CTRL に
より指定された周波数比率とに基づいて算出される。R
OMアクセス時間 T_{rom} 、RAMアクセス時間 T_{ram} 及
びアライナ処理時間 T_{alg} は、いずれも既知の時間であ
る。これらの既知時間と、算出された CPU サイクル時
間 T_{cyc} とに基づいて、上記 3 つの値 ROM_WAI
T、RAM_WA I T 及び DATA _ I N _ S E L がメ
モリアクセス制御回路 70 により自動的に決定され得
る。

【 0 0 2 1 】

【発明の効果】以上説明してきたとおり、本発明によれ
ば、内蔵メモリのアクセスに係る CPU のウェイトサイ
クル数を CPU クロック信号のサイクル時間に応じて変
更できるようにし、又は内蔵メモリから読み出したデー
タの転送経路を CPU クロック信号のサイクル時間に応
じて変更できるようにしたので、高いメモリアクセス効
率を有するシングルチップ・マイクロコンピュータを実
現することができる。

【図面の簡単な説明】

【図 1】本発明に係るシングルチップ・マイクロコンピ
ュータの構成例を示すブロック図である。

【図 2】図 1 中の CPU の内部構成を示すブロック図で
ある。

【図 3】内部クロック信号が 1 0 0 M H z の周波数を有
する場合の図 1 中の ROM の読み出しアクセス過程を示
すタイミング図である。

【図 4】内部クロック信号が 5 0 M H z の周波数を有す
る場合の図 1 中の ROM の読み出しアクセス過程を示す
タイミング図である。

【図 5】内部クロック信号が 5 0 M H z の周波数を有す
る場合の図 1 中の RAM の読み出しアクセス過程を示す
タイミング図である。

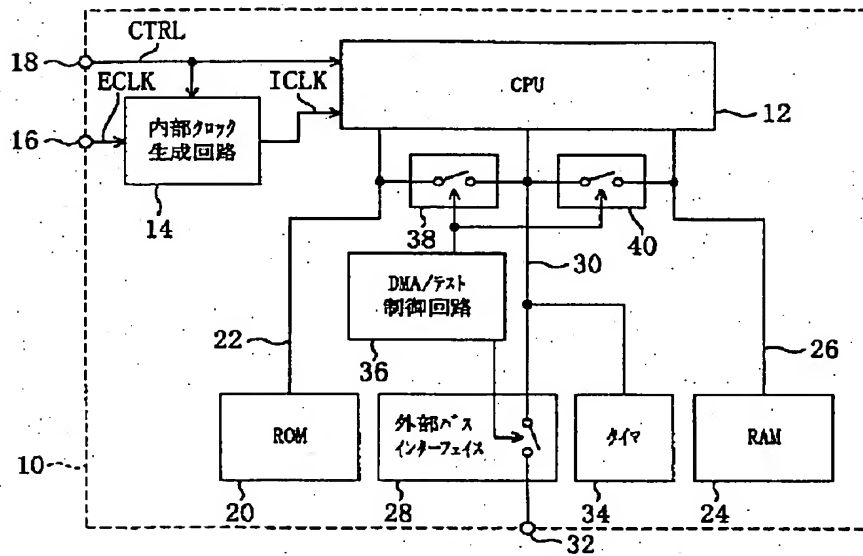
【図 6】内部クロック信号が 1 0 0 M H z の周波数を有
する場合の図 1 中の RAM の読み出しアクセス過程を示
すタイミング図である。

【符号の説明】

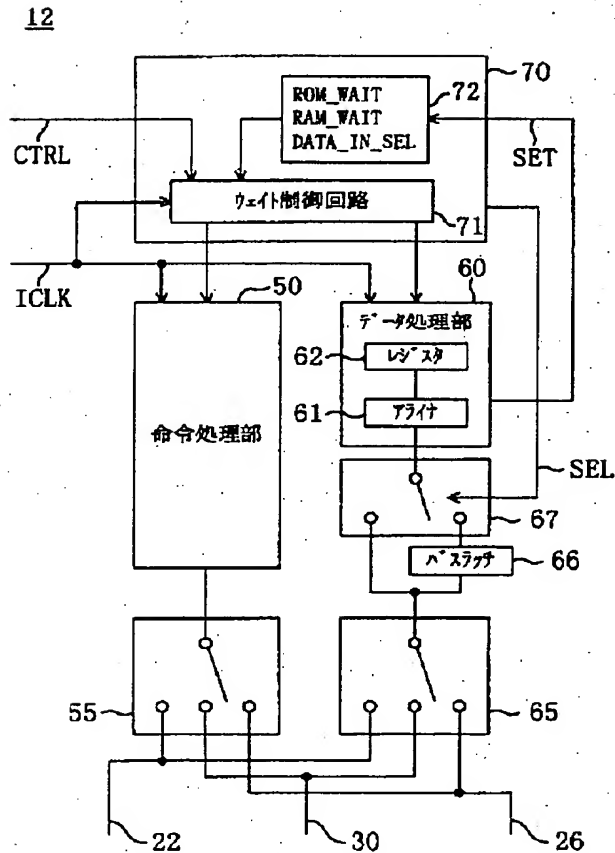
- 1 0 シングルチップ・マイクロコンピュータ
- 1 2 CPU
- 1 4 内部クロック生成回路（クロック手段）
- 1 6 外部クロック端子

- 1 8 クロック制御端子
- 2 0 ROM（メモリ手段、第 1 のメモリ）
- 2 2 ROM バス（第 1 のバス）
- 2 4 RAM（メモリ手段、第 2 のメモリ）
- 2 6 RAM バス（第 2 のバス）
- 2 8 外部バスインターフェイス
- 3 0 IO バス（第 3 のバス）
- 3 2 外部バス端子
- 3 4 タイマ
- 10 3 6 DMA / テスト制御回路（DMA 制御手段、テス
ト制御手段）
- 3 8 ROM バススイッチ
- 4 0 RAM バススイッチ
- 5 0 命令処理部（処理手段）
- 5 5 命令バススイッチ
- 6 0 データ処理部（データ処理手段）
- 6 1 アライナ（前処理手段）
- 6 2 レジスタ（レジスタ手段）
- 6 5 データバススイッチ
- 20 6 6 バスラッチ（バスラッチ手段）
- 6 7 データ入力スイッチ（スイッチ手段）
- 7 0 メモリアクセス制御回路（制御手段）
- 7 1 ウェイト制御回路
- 7 2 設定値レジスタ
- CTRL クロック制御信号
- DATA _ I N _ S E L データ入力スイッチの切換設
定値
- ECLK 外部クロック信号
- ICLK 内部クロック信号
- 30 RAM _ W A I T RAM アクセスに係るウェイトサイ
クル数の設定値
- ROM _ W A I T ROM アクセスに係るウェイトサイ
クル数の設定値
- SEL 選択信号
- SET レジスタ設定信号
- Talg アライナ処理時間（前処理時間）
- Tcyc CPU サイクル時間
- Tram RAM アクセス時間
- Trom ROM アクセス時間

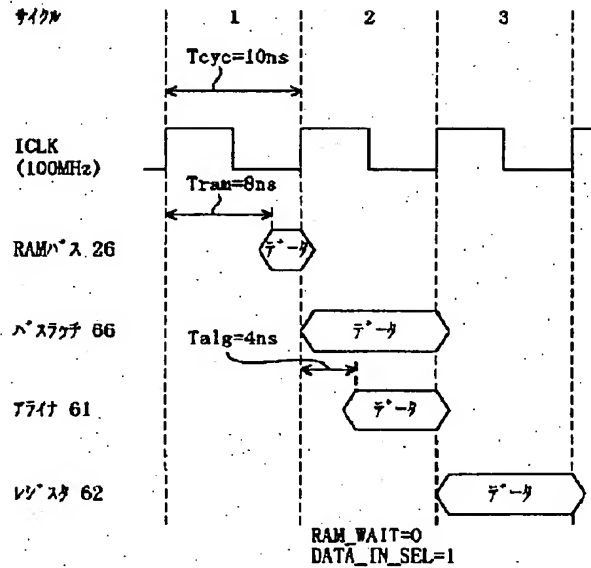
【 図 1 】



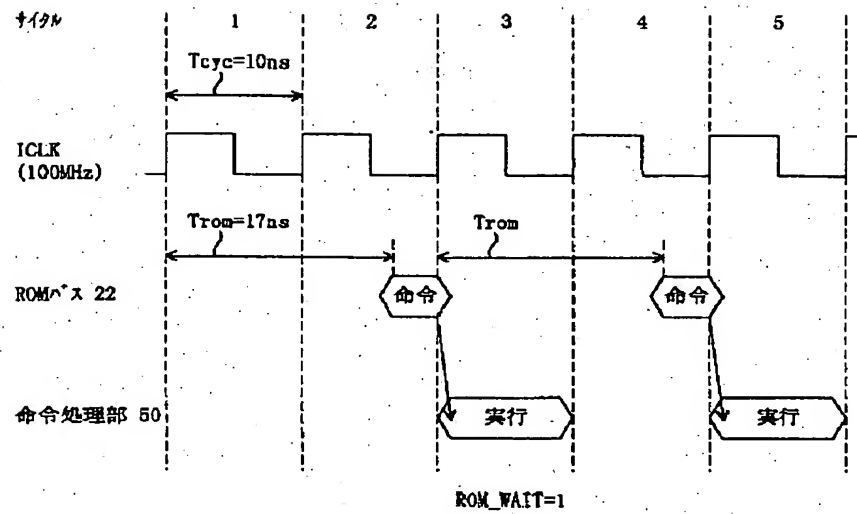
【 図 2 】



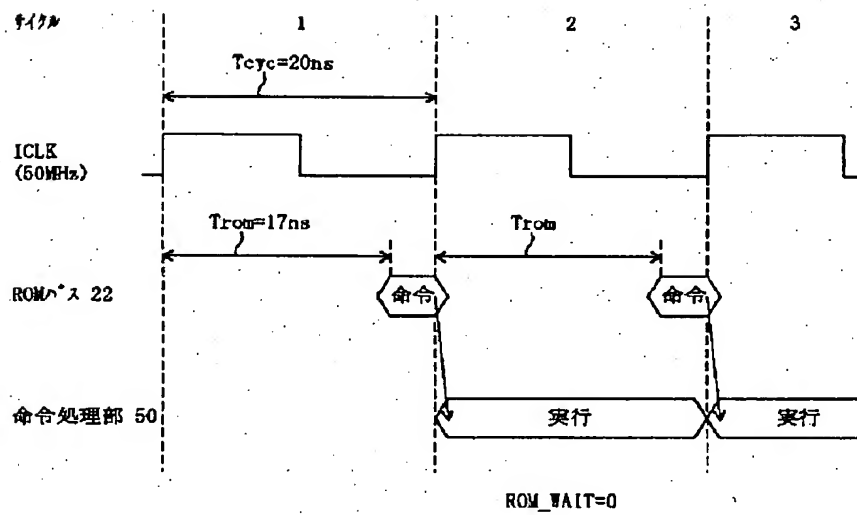
【 図 6 】



【 図 3 】



【 図 4 】



【 図 5 】

